

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-008740

(43)Date of publication of application : 12.01.1996

(51)Int.Cl.

H03L 7/18
G06F 1/04
G06F 1/08
H03B 5/32

(21)Application number : 07-094022

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 19.04.1995

(72)Inventor : KARASAWA HIDEO
SHIGEMORI MIKIO

(30)Priority

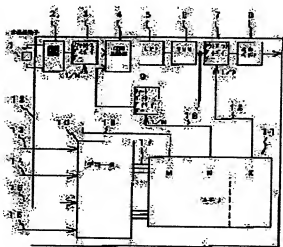
Priority number : 06 80672 Priority date : 19.04.1994 Priority country : JP

(54) PLL OSCILLATOR AND PIEZO-OSCILLATOR

(57)Abstract:

PURPOSE: To provide a compact PLL oscillator which can output high frequency that is hardly outputted by a crystal oscillator serving as a clock source by selecting the dividing number of a programmable divider of a PLL circuit and outputting a prescribed frequency.

CONSTITUTION: The signals received from a crystal vibrator 1 and its oscillation circuit 2 are divided by a reference divider 3 and inputted to a phase comparator 4 as the reference signals. The oscillation signal of a VCO 6 is divided by a feedback divider 9 and inputted to the comparator 4, and the voltage according to the phase difference between the oscillation signal and the reference signal is supplied to the VCO 6 via an LPF5. Thus the oscillation frequency is controlled. The oscillation signal of the VCO 6 is divided by an output divider 7 and outputted via an output buffer 8. The dividers 3, 9 and 7 are all programmable dividers and the dividing numbers or these dividers can be changed by rewriting the dividing number data M, N and X stored in a memory 11. Thus it is possible to obtain an inexpensive circuit that can easily set the frequency.



BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-8740

(43) 公開日 平成8年(1996)1月12日

(51) Int. Cl.

識別記号

序内整理番号

F I

技術表示箇所

H 0 3 L 7/18

G 0 6 F 1/04

1/08

A

H 0 3 L 7/18

Z

G 0 6 F 1/04

3 2 0 A

審査請求 未請求 請求項の数36 O L (全19頁) 最終頁に続く

(21) 出願番号 特願平7-94022

(22) 出願日 平成7年(1995)4月19日

(31) 優先権主張番号 特願平6-80872

(32) 優先日 平6(1994)4月19日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 唐澤 英雄

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(72) 発明者 重盛 三喜男

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

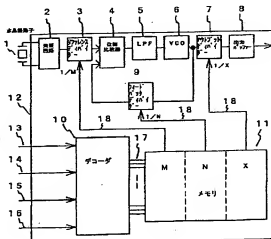
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

(54) 発明の名称 P L L 発振器及び圧電発振器

(57) 【要約】

【目的】 コンピュータ等のクロック源として圧電振動子とこの圧電振動子を発振させる発振回路と P L L 回路とを含む P L L I C を 1 パッケージ化した P L L 発振器のクロックを提供する。

【構成】 圧電振動子とこの圧電振動子を発振させる発振回路と P L L 回路とを含む P L L I C を 1 パッケージ化した P L L 発振器。



(2)

1

【特許請求の範囲】

【請求項 1】 圧電振動子と、前記圧電振動子を共振させる共振回路と、前記共振回路の共振信号を基準信号として動作する PLL (Phase Locked Loop) 回路とが同一パッケージに封入されており、さらに、前記圧電振動子の共振周波数と前記 PLL 回路のプログラマブルデバイダの分周数とによって周波数が決定される PLL 共振器において、前記 PLL 回路のプログラマブルデバイダの分周数を選択して、所定の周波数を出させる手段を備えた事を特徴とする PLL 共振器。

【請求項 2】 圧電振動子と、前記圧電振動子を共振させる共振回路と、前記共振回路の共振信号を基準信号として動作する PLL 回路とが、同一パッケージに封入されており、さらに、前記圧電振動子の共振周波数と前記 PLL 回路のプログラマブルデバイダの分周数とによって周波数が決定される PLL 共振器において、前記 PLL 回路のプログラマブルデバイダの分周数を選択して、且つ前記圧電振動子の共振周波数を選択して、任意の周波数を出させる手段を備えた事を特徴とする PLL 共振器。

【請求項 3】 請求項 1 または 2 において、前記 PLL 回路のプログラマブルデバイダの分周数を選択する端子が前記 PLL 回路の IC 上に周波数選択パッドとして備えられていて、前記周波数選択パッドがワイヤボンディングにより前記パッケージ内の電源またはグランドレベルの導電性に選択的に接続し、PLL 回路の出力周波数を設定する手段を備えた事を特徴とする PLL 共振器。

【請求項 4】 請求項 3 において、前記周波数選択パッドと接続される前記パッケージ内部の導体を選択的に切断して、PLL 回路の出力周波数を設定する手段を備えた事を特徴とする PLL 共振器。

【請求項 5】 請求項 1 または 2 において、前記 PLL 回路のプログラマブルデバイダの分周数を選択する端子が前記 PLL 回路の IC 上に周波数選択パッドとして備えられていて、前記周波数選択パッドがワイヤボンディングにより前記パッケージ外部に導出されているリード端子と接続されている事を特徴とする PLL 共振器。

【請求項 6】 請求項 5 において、1 つの周波数選択パッドの制御によって得られる 2 つの出力周波数において、高い前記出力周波数と低い前記出力周波数が 1.0 から 1.15 の範囲にある事を特徴とする PLL 共振器。

【請求項 7】 請求項 1 または 2 において、前記 PLL 回路のプログラマブルデバイダの分周数を選択する周波数選択端子と、前記周波数選択端子の状態を決定するデコーダを記憶するプログラマブルリードオンリーメモリを備えている事を特徴とする PLL 共振器。

【請求項 8】 請求項 7 において、前記周波数選択端子がパッケージの外部に導出されていて、前記 PLL 回路の

2

IC と前記圧電振動子を同一パッケージに封入後、前記周波数選択端子を通じて前記プログラマブルリードオンリーメモリに前記周波数選択端子の状態を決定するデコーダを書き込む手段を備えた事を特徴とする PLL 共振器。

【請求項 9】 請求項 8 において、前記プログラマブルリードオンリーメモリに前記デコーダを書き込み後、前記周波数選択端子を切断する事を特徴とする PLL 共振器。

【請求項 10】 請求項 1 または 2 において、前記 PLL 回路のプログラマブルデバイダの分周数を記憶するプログラマブルリードオンリーメモリと、前記プログラマブルリードオンリーメモリに分周数を書き込む手段を備えた事を特徴とする PLL 共振器。

【請求項 11】 請求項 10 において、前記 PLL 回路の IC と前記圧電振動子を同一パッケージに封入後、前記プログラマブルリードオンリーメモリに前記分周数を書き込む手段を備えたことを特徴とする PLL 共振器。

【請求項 12】 請求項 11 において、前記プログラマブルリードオンリーメモリに前記分周数を書き込み後、書き込み端子を切断することを特徴とする PLL 共振器。

【請求項 13】 請求項 7 または 10 において、プログラマブルリードオンリーメモリは、ヒューズロムである事を特徴とする PLL 共振器。

【請求項 14】 請求項 1 または 2 において、前記圧電振動子は、コンベックス加工しない基本波水晶振動子である事を特徴とする PLL 共振器。

【請求項 15】 請求項 1 または 2 において、前記 PLL 回路の IC と前記圧電振動子を同一パッケージに封入後、前記圧電振動子の周波数調整をしてパッケージの封止をする事を特徴とする PLL 共振器。

【請求項 16】 圧電振動子と、前記圧電振動子を共振させる共振回路と、前記共振回路の信号を出力する出力回路とからなる圧電共振器において、前記共振回路の動作を停止させると同時に前記出力回路をハイインピーダンス状態にする手段を備えたことを特徴とする圧電共振器。

【請求項 17】 請求項 16 において、前記共振回路を停止させる制御パッドと前記出力回路をハイインピーダンス状態にさせる制御パッドを IC 上に備え、前記 2 つの制御パッドをパッケージ外部に導出される一本のリード端子にワイヤボンディングにより選択的に接続することを特徴とする圧電共振器。

【請求項 18】 請求項 16 において、前記圧電振動子と、前記共振回路と、前記共振回路の共振信号を基準信号として動作する PLL 回路とが同一パッケージに封入されており、さらに、前記圧電振動子の共振周波数と前記 PLL 回路のプログラマブルデバイダの分周数とによって周波数が決定され、前記 PLL 回路のプログラマブルデバイダの分周数を選択して、所定の周波数を出

50

力させる手段を備えた事の特徴とするPLL発振器。

【請求項19】請求項18において、圧電振動子と、前記発振回路と、前記発振回路の発振信号を基準信号として動作するPLL回路とが、同一パッケージに封入されており、さらに、前記圧電振動子の発振周波数と前記PLL回路のプログラマブルデバイダの分周数とによって周波数が決定され、前記PLL回路のプログラマブルデバイダの分周数を選択して、且つ前記圧電振動子の発振周波数を選択して、任意の周波数を出力させる手段を備えた事の特徴とするPLL発振器。

【請求項20】音叉型水晶振動子と、前記音叉型水晶振動子を発振させる発振回路と、前記発振回路の発振信号を出力する出力回路とからなる圧電発振器とが同一パッケージに封入されており、さらに、前記発振回路と前記出力回路の動作を停止させるスタンバイ機能を備えた圧電発振器において、前記スタンバイ機能を選択時に、前記音叉型水晶振動子の発振部のみ動作させることを特徴とするPLL発振器。

【請求項21】請求項20において、前記音叉型水晶振動子と、前記発振回路と、前記発振回路の発振信号を基準信号として動作するPLL回路とが同一パッケージに封入されており、さらに、前記圧電振動子の発振周波数と前記PLL回路のプログラマブルデバイダの分周数とによって周波数が決定され、前記PLL回路のプログラマブルデバイダの分周数を選択して、所定の周波数を出力させる手段を備えた事の特徴とするPLL発振器。

【請求項22】請求項20において、前記音叉型水晶振動子と、前記発振回路と、前記発振回路の発振信号を基準信号として動作するPLL回路とが、同一パッケージに封入されており、さらに、前記圧電振動子の発振周波数と前記PLL回路のプログラマブルデバイダの分周数とによって周波数が決定され、前記PLL回路のプログラマブルデバイダの分周数を選択して、且つ前記圧電振動子の発振周波数を選択して、任意の周波数を出力させる手段を備えた事の特徴とするPLL発振器。

【請求項23】圧電振動子と、前記圧電振動子が発振させる発振回路と、前記発振回路の発振信号を基準信号として動作するPLL回路とからなるPLL発振器において、前記PLL回路のローパスフィルタを構成する素子を前記PLL回路のIC外部の部品で構成し、これらが前記圧電振動子と前記発振回路と前記PLL回路と共に同一パッケージに封入されていることを特徴とするPLL発振器。

【請求項24】請求項23において、前記圧電振動子の発振周波数と前記PLL回路のプログラマブルデバイダの分周数とによって周波数が決定され、前記PLL回路のプログラマブルデバイダの分周数を選択して、所定の周波数を出力させる手段を備えた事の特徴とするPLL発振器。

10

20

30

40

50

【請求項25】請求項23において、前記圧電振動子の発振周波数と前記PLL回路のプログラマブルデバイダの分周数とによって周波数が決定され、前記PLL回路のプログラマブルデバイダの分周数を選択して、且つ前記圧電振動子の発振周波数を選択して、任意の周波数を出力させる手段を備えた事の特徴とするPLL発振器。

【請求項26】請求項23において、前記パッケージは、セラミックパッケージであり、前記PLL回路のローパスフィルタの抵抗素子を前記セラミックパッケージ基板上に形成したことを特徴とするPLL発振器。

【請求項27】請求項23において、前記パッケージは、セラミックパッケージであり、前記PLL回路のローパスフィルタの容量素子を前記セラミックパッケージ基板上に形成したことを特徴とするPLL発振器。

【請求項28】請求項27において、前記容量素子の片側電極は、前記PLLのICを実装するステージであることを特徴とするPLL発振器。

【請求項29】圧電振動子と、前記圧電振動子が発振させる発振回路と、前記発振回路の発振信号を基準信号として動作するPLL回路とが同一パッケージに封入されているPLL発振器において、前記発振回路に可変容量素子を有し、発振周波数を調整する手段を備えた事の特徴とするPLL発振器。

【請求項30】請求項29において、前記圧電振動子の発振周波数と前記PLL回路のプログラマブルデバイダの分周数とによって周波数が決定され、前記PLL回路のプログラマブルデバイダの分周数を選択して、所定の周波数を出力させる手段を備えた事の特徴とするPLL発振器。

【請求項31】請求項29において、前記圧電振動子の発振周波数と前記PLL回路のプログラマブルデバイダの分周数とによって周波数が決定され、前記PLL回路のプログラマブルデバイダの分周数を選択して、且つ前記圧電振動子の発振周波数を選択して、任意の周波数を出力させる手段を備えた事の特徴とするPLL発振器。

【請求項32】請求項29において、前記可変容量素子は、容量アレイであることを特徴とするPLL発振器。

【請求項33】請求項32において、前記容量アレイの制御デュータを記憶するプログラマブルリードオンリーメモリと、前記パッケージ封入後に前記プログラマブルリードオンリーメモリにデータを書き込む手段を有することを特徴とするPLL発振器。

【請求項34】請求項33において、前記プログラマブルリードオンリーメモリは、ヒューズロムで、前記デュータを書き込み後書き込み端子を切断することを特徴とするPLL発振器。

【請求項35】請求項29において、前記容量素子は、可変容量ダイオードであることを特徴とするPLL発振器

器。

【請求項 36】請求項 29 において、前記容量素子は、温度検出機能をもつ制御回路により制御される事を特徴とする PLL 発振器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、半導体集積回路及び圧電振動子から構成され、マイクロコンピュータ等へクロックを供給する PLL 発振器に関する。

【0002】

【従来の技術】従来の半導体集積回路及び圧電振動子等からなるコンピュータ等への動作クロックの供給の第一の公知例を図 29 を用いて説明する。コンピュータの基板 201 において、水晶振動子等の圧電振動子 202 を用いた水晶発振器 203 をそれぞれ CPU ユニツト 204、HDD ユニツト 205、コミュニケーションユニット 206 等のクロック源として必要な周波数ごと用いて供給していた。また CPU ユニツトや HDD ユニツトのように 40 MHz 以上の高周波クロックでは、オーバートーン発振をもつ水晶発振器を用いて供給していた。オーバートーン発振回路の基本的回路図例を図 21 に示す。

【0003】次に、図 22 に示す第二の公知例は、PLL 回路を用いた PLL 発振器である。14、31818 MHz の水晶振動子を用いた水晶発振器を発振回路と、その発振信号を基準信号として動作する PLL 回路とからなり、水晶振動子の発振周波数と PLL 回路のプログラマブルデバイダの分周数とによって周波数が決定される。そして、PLL 回路のプログラマブルデバイダの分周数が 2 つ以上有り、これら分周数のうち任意の 1 つを選択して、所定の周波数を出させる事ができる。

【0004】

【発明が解決しようとする課題】以上に示す従来のクロック発振器においては、CMOS 等の IC チップと水晶振動子を組み合わせた水晶発振器を使用しており、特に CPU、HDD のように高周波数が必要なユニットへはオーバートーン発振の水晶発振器を使用していた。しかし、オーバートーン発振回路は、発振を安定させるのが難しかった。具体的には、3 次オーバートーン共振回路を除くと、回路側で 3 次オーバートーン共振のみを選択して発振させる他の 1 次、5 次の共振を抑圧する工夫が必要である。この特性を表す物として、一般的に図 23 に示すような負性抵抗の周波数特性カーブがある。この図のカーブ 210 は、3 次オーバートーンで 50 MHz を発振する回路の特性カーブであり、3 次 50 MHz で最も負性抵抗が大きく 1 k Ω 16.6 MHz、5 次 83.3 MHz で負性抵抗が少なく、その結果 3 次 50 MHz で発振する事になる。ところが、この負性抵抗特性は、ゲート容量 (C_g)、ドレイン容量 (C_d)、掃退抵抗 (R_f)、インバータの増幅度 (B) により決定す

る。各素子のバラツキにより 3 次発振が不安定になり、他次数の発振をしてしまうという問題を有していた。具体的には、ゲート容量やドレイン容量、掃退抵抗の値が大きくなったりインバータの増幅度が小さくなったりすると、負性抵抗カーブが低周波側に移動して基本波発振を起こしてしまったり、ゲート容量やドレイン容量、掃退抵抗の値が小さくなったりインバータの増幅度が大きくなったりすると、負性抵抗カーブが高周波側に移動して 5 次オーバートーン発振を起こしてしまったり、また、各素子自身、温度特性と電圧特性を持つため、温度、電圧環境が変化すると同じく負性抵抗カーブが変化し、傾向として低温・高電圧下では、高周波側に、高温・低電圧下では、低周波側にそれぞれ移動する。そのため、オーバートーン発振回路は、余り大きな環境変化の下では、動作させる事が出来なかった。更に、発振周波数を調整するためゲート容量やドレイン容量を変化させるとはやり同じように負性抵抗カーブが変化して、3 次発振が不安定になり他次数発振を起こす恐れがある。又、オーバートーン発振の特徴として周波数可変量が基本波発振に比べて小さいという特徴があり、この為周波数を大きく可変したい用途には不向きであった。

【0005】次に、第 2 の公知例は、PLL 回路を用いた PLL 発振器である。14、31818 MHz の水晶振動子の発振周波数と PLL 回路のプログラマブルデバイダの分周数とによって周波数が決定されるが、プログラマブルデバイダの分周数は整数値であるため、実際に出力する周波数は要求される周波数に対して若干ずれている。したがって、高い周波数精度を必要とする用途には使えない。又、あらかじめ出力周波数を 4 から 16 種類程度設定されているが、それ以外の周波数を使いたい場合は、プログラマブルデバイダの分周数を設定し直さなければならず、具体的には、1 C のアルミマスキ変更をしなければならない為、開発のための時間と費用が多く掛かっていた。

【0006】そこで、本発明の目的は、以上の従来技術の課題を解決するためになされたものであり、その目的とするところはコンピュータ等のクロック源として、基本波の水晶発振器で出力が困難なおよそ 40 MHz を超えるような高周波数を出力でき、基本波発振の水晶発振器と同様に安定に動作し、又、周波数の設定が容易で、かつ短納期で安価で従来の水晶発振器と同様に扱いの容易な小型の PLL 発振器を提供することである。

【0007】

【課題を解決するための手段】請求項 1 記載の発明は、圧電振動子と、前記圧電振動子が発振させる発振回路と、前記発振回路の発振信号を基準信号として動作する PLL (Phase Locked Loop) 回路とが同一パッケージに封入されており、さらに、前記圧電振動子の発振周波数と前記 PLL 回路のプログラマブルデバイダの分周数とによって周波数が決定される PLL

L 発振器において、前記 P L L 回路のプログラマブルデバイダーの分周数を選択して、所定の周波数を出力させる手段を備えた事の特徴とする。

【0008】請求項 2 記載の発明は、圧電振動子と、前記圧電振動子を駆動させる発振回路と、前記発振回路の発振信号を基準信号として動作する P L L 回路とが、同一パッケージに封入されており、さらに、前記圧電振動子の発振周波数と前記 P L L 回路のプログラマブルデバイダーの分周数とによって周波数が決定される P L L 発振器において、前記 P L L 回路のプログラマブルデバイダーの分周数を選択して、且つ前記圧電振動子の発振周波数を選択して、任意の周波数を出力させる手段を備えた事の特徴とする。

【0009】請求項 3 記載の発明は、前記 P L L 回路のプログラマブルデバイダーの分周数を選択する端子が前記 P L L 回路の I C と前記周波数選択パッドとして備えられていて、前記周波数選択パッドがワイヤーボンディングにより前記パッケージ内の電源またはグランドレベルの導電体に選択的に接続し、P L L 回路の出力周波数を設定する手段を備えた事の特徴とする。

【0010】請求項 4 記載の発明は、前記周波数選択パッドと接続される前記パッケージ内部の導体を選択的に切断して、P L L 回路の出力周波数を設定する手段を備えた事の特徴とする。

【0011】請求項 5 記載の発明は、前記 P L L 回路のプログラマブルデバイダーの分周数を選択する端子が前記 P L L 回路の I C 上に周波数選択パッドとして備えられていて、前記周波数選択パッドがワイヤーボンディングにより前記パッケージ外部に導出されているリード端子と接続されている事の特徴とする。

【0012】請求項 6 記載の発明は、1 つの周波数選択パッドの制御によって得られる 2 つの出力周波数の比が 1.0 から 1.5 の範囲にある事の特徴とする。

【0013】請求項 7 記載の発明は、前記 P L L 回路のプログラマブルデバイダーの分周数を選択する周波数選択端子と、前記周波数選択端子の状態を決定するデータを記憶するプログラマブルリードオンリーメモリを備えている事の特徴とする。

【0014】請求項 8 記載の発明は、前記周波数選択端子がパッケージの外部に導出されていて、前記 P L L 回路の I C と前記圧電振動子を同一パッケージに封入後、前記周波数選択端子を通じて前記プログラマブルリードオンリーメモリに前記周波数選択端子の状態を決定するデータを書き込む手段を備えた事の特徴とする。

【0015】請求項 9 記載の発明は、前記プログラマブルリードオンリーメモリに前記データを書き込み後、前記周波数選択端子を切断する事の特徴とする。

【0016】請求項 10 記載の発明は、前記 P L L 回路のプログラマブルデバイダーの分周数を記憶するプログラマブルリードオンリーメモリと、前記プログラマブル

リードオンリーメモリに分周数を書き込む手段を備えた事の特徴とする。

【0017】請求項 11 記載の発明は、前記 P L L 回路の I C と前記圧電振動子を同一パッケージに封入後、前記プログラマブルリードオンリーメモリに前記分周数を書き込む手段を備えた事の特徴とする。

【0018】請求項 12 記載の発明は、前記プログラマブルリードオンリーメモリに前記分周数を書き込み後、書き込み端子を切断することを特徴とする。

【0019】請求項 13 記載の発明は、プログラマブルリードオンリーメモリは、ヒューズロムである事の特徴とする。

【0020】請求項 14 記載の発明は、前記圧電振動子は、コンベックス加工しない基本波水晶振動子である事の特徴とする。

【0021】請求項 15 記載の発明は、前記 P L L 回路の I C と前記圧電振動子を同一パッケージに実装後、前記圧電振動子の周波数調整をしてパッケージの封止をする事の特徴とする。

【0022】請求項 16 記載の発明は、前記圧電振動子を駆動させる発振回路と、前記発振回路の信号を出力する出力回路とからなる圧電発振器において、前記発振回路の動作を停止させると同時に前記出力回路をハイインピーダンス状態にする手段を備えたことを特徴とする。

【0023】請求項 17 記載の発明は、前記発振回路を停止させる制御パッドと前記出力回路をハイインピーダンス状態にさせる制御パッドを I C 上に備え、前記 2 つの制御パッドをパッケージ外部に導出される一本のリード端子にワイヤーボンディングにより選択的に接続することを特徴とする。

【0024】請求項 18 記載の発明は、前記圧電振動子と、前記発振回路と、前記発振回路の発振信号を基準信号として動作する P L L 回路とが同一パッケージに封入されており、さらに、前記圧電振動子の発振周波数と前記 P L L 回路のプログラマブルデバイダーの分周数とによって周波数が決定され、前記 P L L 回路のプログラマブルデバイダーの分周数を選択して、所定の周波数を出力させる手段を備えた事の特徴とする。

【0025】請求項 19 記載の発明は、圧電振動子と、前記発振回路と、前記発振回路の発振信号を基準信号として動作する P L L 回路とが、同一パッケージに封入されており、さらに、前記圧電振動子の発振周波数と前記 P L L 回路のプログラマブルデバイダーの分周数とによって周波数が決定され、前記 P L L 回路のプログラマブルデバイダーの分周数を選択して、且つ前記圧電振動子の発振周波数を選択して、任意の周波数を出力させる手段を備えた事の特徴とする。

【0026】請求項 20 記載の発明は、受音型水晶振動子と、前記受音型水晶振動子を駆動させる発振回路と、前記発振回路の発振信号を出力する出力回路とからなる

圧電発振器と同一パッケージに封入されており、さらに、前記発振回路と前記出力回路の動作を停止させるスタンバイ機能を備えた圧電発振器において、前記スタンバイ機能を選択時に、前記音叉型水晶振動子の発振部のみ動作させることを特徴とする。

【0027】請求項2記載の発明は、前記音叉型水晶振動子と、前記発振回路と、前記発振回路の発振信号を基準信号として動作するPLL回路とが同一パッケージに封入されており、さらに、前記圧電振動子の発振周波数と前記PLL回路のプログラマブルデバイダーの分周数とによって周波数が決定され、前記PLL回路のプログラマブルデバイダーの分周数を選択して、所定の周波数を出させる手段を備えた事を特徴とする。

【0028】請求項2記載の発明は、前記音叉型水晶振動子と、前記発振回路と、前記発振回路の発振信号を基準信号として動作するPLL回路とが、同一パッケージに封入されており、さらに、前記圧電振動子の発振周波数と前記PLL回路のプログラマブルデバイダーの分周数とによって周波数が決定され、前記PLL回路のプログラマブルデバイダーの分周数を選択して、且つ前記圧電振動子の発振周波数を選択して、任意の周波数を出させる手段を備えた事を特徴とする。

【0029】請求項2記載の発明は、圧電振動子と、前記圧電振動子を発振させる発振回路と、前記発振回路の発振信号を基準信号として動作するPLL回路とからなるPLL発振器において、前記PLL回路のローパスフィルターを構成する素子を前記PLL回路のIC外部の部品で構成し、これらが前記圧電振動子と前記発振回路と前記PLL回路と共に同一パッケージに封入されていることを特徴とする。

【0030】請求項2記載の発明は、前記圧電振動子の発振周波数と前記PLL回路のプログラマブルデバイダーの分周数とによって周波数が決定され、前記PLL回路のプログラマブルデバイダーの分周数を選択して、所定の周波数を出させる手段を備えた事を特徴とする。

【0031】請求項2記載の発明は、前記圧電振動子の発振周波数と前記PLL回路のプログラマブルデバイダーの分周数とによって周波数が決定され、前記PLL回路のプログラマブルデバイダーの分周数を選択して、且つ前記圧電振動子の発振周波数を選択して、任意の周波数を出させる手段を備えた事を特徴とする。

【0032】請求項2記載の発明は、前記パッケージは、セラミックパッケージであり、前記PLL回路のローパスフィルターの抵抗素子を前記セラミックパッケージ基板上に形成したことを特徴とする。

【0033】請求項2記載の発明は、前記パッケージは、セラミックパッケージであり、前記PLL回路のローパスフィルターの容量素子を前記セラミックパッケージ基板上に形成したことを特徴とする。

【0034】請求項2記載の発明は、前記容量素子の片面電極は、前記PLLのICを実装するステージであることを特徴とする。

【0035】請求項2記載の発明は、圧電振動子と、前記圧電振動子を発振させる発振回路と、前記発振回路の発振信号を基準信号として動作するPLL回路とが同一パッケージに封入されているPLL発振器において、前記発振回路に可変容量素子を有し、発振周波数を調整する手段を備えた事を特徴とする。

【0036】請求項3記載の発明は、前記圧電振動子の発振周波数と前記PLL回路のプログラマブルデバイダーの分周数とによって周波数が決定され、前記PLL回路のプログラマブルデバイダーの分周数を選択して、所定の周波数を出させる手段を備えた事を特徴とする。

【0037】請求項3記載の発明は、前記圧電振動子の発振周波数と前記PLL回路のプログラマブルデバイダーの分周数とによって周波数が決定され、前記PLL回路のプログラマブルデバイダーの分周数を選択して、且つ前記圧電振動子の発振周波数を選択して、任意の周波数を出させる手段を備えた事を特徴とする。

【0038】請求項3記載の発明は、前記可変容量素子は、容量アレイであることを特徴とする。

【0039】請求項3記載の発明は、前記容量アレイの制御デュータを記憶するプログラマブルリードオンリーメモリと、前記パッケージ封入後に前記プログラマブルリードオンリーメモリにデュータを書き込む手段を有することを特徴とする。

【0040】請求項3記載の発明は、前記プログラマブルリードオンリーメモリは、ヒューズロムで、前記デュータを書き込み後書き込み端子を切断することを特徴とする。

【0041】請求項3記載の発明は、前記容量素子は、可変容量ダイオードであることを特徴とする。

【0042】請求項3記載の発明は、前記容量素子は、温度検出機能を有する制御回路により制御される事を特徴とする。

【0043】

【実施例】

【実施例1】図1は請求項1記載の発明に係わるPLL(Phase Locked Loop)発振器のブロック図である。

【0044】水晶振動子1と水晶振動子1を発振させる発振回路2からの信号をリフレンスデバイダー3によって分周し位相比較器4に基準信号として入力する。また電圧制御発振器(以下VCOと記す)6の発振信号はフィードバックデバイダー9によって分周された後、位相比較器4に入力される。位相比較器4は前記二つの入力信号の位相差を比較し、その位相差に応じたVCOをローパスフィルター(以下LPFと記す)5を介してVC

(7)

11

Q6に供給し発振周波数を制御する。VCO6の発振信号は、更にアウトプットバイダー7により分周された後、出力バッファ8を介して出力される。リファレンスバイダー3、フィードバックバイダー9、アウトプットバイダー7は、いずれも可変可能な整数値で分周できるプログラマブルバイダーである。

【0045】ここで出力周波数は、各プログラマブルバイダー3、9、7の分周数により決まり、その関係は、次式で示される。

【0046】

【数1】

$$f_o = f_c \times \frac{N}{M} \times \frac{1}{X}$$

【0047】ここでMは、リファレンスバイダー3の分周数、Nは、フィードバックバイダー9の分周数、Xは、アウトプットバイダー7の分周数、 f_c は、水晶発振周波数である実施例では32.768 KHzであり、 f_o は、出力周波数である。

【0048】これらの分周数は、メモリ11に記憶されていて、周波数選択端子のS0端子13、S1端子14、S2端子15、S3端子16の信号がデコーダ10を介して出力されてくるアドレス信号17により分周数18が呼び出され各プログラマブルバイダー3、9、7に送られる。

【0049】図2は、請求項1記載の周波数テーブルの一例であり、周波数選択端子の信号に応じてメモリ11から呼び出される分周数及びそれに応じてPLLで合成される出力周波数を示している。但し、実際の出力周波数は、実周波数値に示す値の周波数が出力される。出力周波数値の周波数が一般的に要求される周波数とすれば要求周波数より若干誤差が生じているが、問題にならないレベルである。

【0050】以上の実施例では、周波数選択端子はS0端子13、S1端子14、S2端子15、S3端子16の4ビットの信号であるため、出力周波数は16種類であるが、周波数選択端子のビット数に限定はない。

【0051】本周波数テーブルはパーソナルコンピュータのクロックに必要とされる周波数を集めたものであり、コンピュータ用発振器市場で需要が多い周波数である。20、25、33、34、40、50、60、66、68、80、100MHzは、主にCPU用として、1.8432MHzは、通信クロックとして、14.318MHzはシステムの基準クロックとして、16MHzは、バスクロックとして、24MHzは、フロッピーあるいはハードディスククロックとして、22、118、32、48MHzは、その他の周辺回路用としてそれぞれ用いられる。

【0052】たとえば、66、68MHzを出力させたい場合は、周波数選択端子S0、S1、S2、S3にそれぞれ“L”、“H”、“H”、“H”レベルを入力す

12

る。“L”レベルは、GNDレベル、“H”レベルは、VDDレベルである。）出力周波数は、本実施例で示した周波数に限定されるものではなく、メモリ11内の分周数データM、N、Xを書き換えることにより変更できる。

【0053】図3は基準周波数発生用の水晶振動子としてMHz帯のAT振動子を用いた場合の周波数テーブル例である。この例での水晶発振周波数は20MHzであり、コンピュータで必要とされるクロックの中でも特に40、50、60、66、68MHz等のCPU用のクロックを出力する様に設定してある。この場合、実際に出力される周波数は、要求される周波数と一致している。

【0054】本実施例では、圧電振動子として時計用32.768 KHz水晶振動子と20MHzのAT水晶振動子を用いたが、他の周波数でも良いし、セラミック振動子等の他の圧電振動子を用いても良い。ただし、基準周波数が違う場合は、前述の出力周波数計算式に基づき各バイダーの分周数を設定し直す必要がある。

【0055】上述のような構成によれば、メモリ11に設定している各プログラマブルバイダー3、9、7の分周数M、N、Xを周波数選択端子で選択できるようにしているため、1種類的水晶振動子と1種類のPLLICの組み合わせで複数の周波数を出力することができ、特に実施例で示した周波数を設定して付けば、コンピュータで必要のあるほとんどの周波数をカバーできる。

【0056】（実施例2）図4は請求項2記載の発明に係わるPLL発振器の周波数テーブルである。これは、実施例1記載の各プログラマブルバイダー3、9、7の分周数M、N、Xを変更したものである。このテーブルでは、PLLの基準となる水晶振動子の周波数を24MHzから27MHzの狭い範囲に絞りながら、出力周波数は36MHzから140MHzまで切れ目なく任意の周波数を出力する様にしたテーブルである。つまり、水晶振動子の周波数とPLLのプログラマブルバイダーの分周数両方を選択してある範囲の任意の周波数が出力できる事ができるものである。

【0057】一例として66、68MHzの周波数を出力させる場合の周波数選択端子と水晶振動子の選択の仕方を説明する。図3より66、68MHzの出力周波数は66MHzから72MHzまでの帯域にあるため、周波数選択端子S0、S1、S2、S3がそれぞれ“L”、“L”、“L”、“H”のアドレスが選ばれる。この時出力周波数と水晶振動子の周波数の比、いわゆる通信倍は2.75倍となる。66、68MHzを2.75で割れば24.24MHzとなりこれが水晶振動子に要求される周波数となる。以上の様に選択設定することで66、68MHzが得られる。

【0058】ここで同じ66、68MHzを出力させる方法として、33.3MHzの水晶振動子と通信倍として2を選択することでも可能であるが、実際には、より安

値でC1値の低い水晶振動子を組み合わせるようにする。例えばA1振動子ではコンパックス加工を施す低周波A1振動子より、コンパックスのないフラットな高周波A1振動子の方がより安価に製造できる。ただし、周波数が高くなりすぎると水晶振動子を薄く研磨しなければならぬ、またそのために、ウェハーも小さくしなければならぬので限度がある。また基本波発振のA1振動子はオーバートーン発振のA1振動子に比べてC1値(クリスタインピーダンス)も低く、回路も、3次共振の選択回路が不要なので、基本波振動子の方がよい。さらに基本波発振のA1振動子でもより歩留まりの良い周波数帯を選ぶ、このようにすることで水晶振動子の周波数は安価で発振の安定した範囲を使用できる。本実施例では、以上のような点から選択した周波数を24から27MHzとしたが、この周波数範囲は、振動片の大きさ、工場設備によって異なる。要するにより安価でC1値の低い水晶振動子を組み合わせて使用することである。

【0059】さらに水晶振動子の周波数を決定する工程は、水晶の原石切断工程、研磨工程、エッチング工程、蒸着工程、周波数微調整工程である。一例としてエッチング工程以降の各工程の周波数調整量を、エッチング工程+16000ppm、蒸着工程-9000ppm、周波数微調整工程-7000ppmとすると、合計+16000/-16000ppmの周波数である。つまり水晶振動子には、エッチング工程以降32000ppmの周波数調整量がある事になる。32000ppmの周波数は、24から27MHzの周波数帯では、約800KHzに相当するので24から27MHzでは4分割することができる。これは、水晶の原石切断、研磨工程まで粗調整した水晶片を4種類作っておけばその後のエッチング工程以降で周波数調整をして24から27MHzまでの任意の周波数の水晶振動子ができると意味する。この4種類の水晶片は、常に使われるため、在庫を気にしないで予め研磨工程まで終わったところまで加工しておき、ストックしておくことができるため、従来の水晶発振器に比べて製造リードタイムを短くすることができる。本実施例では、一例としてエッチング工程以降+16000/-16000ppmの周波数調整量としたので4種類の水晶片となったが、周波数調整量が大きくなれば、水晶片の種類数は更に少なくて済む。

【0060】また本実施例のように、16種類の通信数を使用した場合には用意する水晶片は4種類であったが、周波数通信テーブルを増やし、通信数を細かく設定すれば、組み合わせる水晶振動子は24~27MHzより狭くできるため、1種類の水晶片だけをストックしておくだけでもよくなる。

【0061】さらに通信数を細かく設定した場合には、同じ1種類の水晶片を用意するにてもより少ない周波数調整量で済む。つまり組み合わせる水晶振動子を50

00ppmの間に限定した場合には、周波数微調整工程の-7000ppmだけで周波数の合わせ込みができるため水晶片は蒸着工程まで終了させておけばよい。そのため、より水晶の加工工程を進めたところでストックしておくことができ、より製造リードタイムの短縮ができる。

【0062】上述のような構成によれば、周波数通信テーブルの通信数の選択、つまりPLLのプログラマブルバイダーの分周数と水晶振動子の周波数の組み合わせで、任意の出力周波数を出力できる。

【0063】【実施例3】図5は、請求項3記載の発明に係わるPLL発振器の周波数テーブルの選択方法の一実施例である。

【0064】図1で説明をした機能ブロックを含んだPLLICチップ21がアイランド部22にマウントされており、PLLICチップ21の各パッドとアイランド部22の両面を取り囲む複数のリード端子がワイヤーボンディングにより接続されている。アイランド部は、放熱用のフィン27としてパッケージ外へ出ている。

【0065】本実施例では、PLLのプログラマブルバイダーの分周数を選択する端子は、パッド23、24、25、26としてPLLICチップ21上に備えられている。パッドはプルアップされているため、“H”レベルを入力するパッドはそのままワイヤーボンディングをしないうちにVDDに接続されるリードフレームにワイヤーボンディングをすれば良い。また“L”レベルを入力するパッドはGNDに接続されるリードフレームにワイヤーボンディングをすれば良い。このようにしてパッド23、24、25、26に“H”または“L”レベルを入力し、デコーダーを介して出力されるアドレス信号により、メモリに記憶されている分周数が呼び出され出力周波数が決まる。本実施例のパッドはプルアップされていたがプルダウンされていても、ワイヤーボンディングにより選択ができる。

【0066】上述のような構成によれば、出力周波数をワイヤーボンディングにより内部で設定してしまうので、ユーザーで特に処理をしなくても出力周波数が設定できる。

【0067】上記実施例では、ワイヤーボンディングの状態で出力周波数を決定したが、他の実施例として、パッド23、24、25、26が接続するパッケージ内部のボタンを切断するか切断しないかによって“H”又は、“L”レベル入力できるので同様の効果が得られる。

【0068】【実施例4】図6(a)、(b)は、請求項4記載の発明に係わるPLL発振器の周波数テーブルの選択方法の一実施例である。

【0069】図1で説明をした機能ブロックを含んだPLLICチップ37と水晶振動子36を同一ケース内に封止したパッケージ31がある。PLLのプログラマブル

ルデバイダーの分周数を選択する端子は、パッドとして P L L I C チップ上に備えられていて、それぞれのパッドは出力周波数を選択する S0 端子 32、S1 端子 33、S2 端子 34、S3 端子 35 としてパッケージ 31 の外部に出されている。この様に構成した P L L 発振器が、一例として図 2 の周波数テーブルを持っていたとした場合の使用例を説明する。まずこの P L L 発振器を C P U のクロック源として使用する場合は 50 M H z を出力させたい場合は、周波数選択の端子 S0、S1、S2、S3 にそれぞれ " L "、" H "、" H "、" L " レベルが入力できるように設定する。あるいは、66.6 M H z を出力させたい場合は、周波数選択の端子 S0、S1、S2、S3 にそれぞれ " L "、" H "、" H "、" H "、" H " レベルが入力できるようにする。このとき、実装する基板のパターンを上記の様に配線しておけば良い。また C P U 以外の別のユニットには、そのユニットが必要とする周波数が出力できるように基板の配線をしておけば良い。この様に同じ仕様の P L L 発振器であっても基板の配線によって S0、S1、S2、S3 端子への入力状態をかえる事によってパーソナルコンピュータの各ユニットが必要とする所定の出力周波数を出し

【0070】つまり、従来パーソナルコンピュータには多くの種類の発振器が必要であったが、本実施例の P L L 発振器が 1 種類あればすべての周波数に対応が可能になり、部品の共通化ができる。

【0071】また、ユーザー自身が C P U を交換してアップグレードをする場合、50 M H z で動作する C P U を 66.6 M H z で動作する C P U に交換するときは、C P U のクロック周波数の変更もしなければならないが、本実施例の P L L 発振器であれば S3 端子への入力を " L " レベルから " H " レベルへ変更するだけでよい。実際には、S3 端子をジャンパスイッチ等にしておけばより容易に変更することができる。

【0072】また、周波数の選択にあたっては、基板の配線やジャンパスイッチで決めるだけでなく、C P U やコントロール I C を使って周波数選択端子に信号を送り、周波数を選択する事もできる。

【0073】次に、本実施例を応用して、他の使用例を説明する。図 7 は、図 2 の分周数を変更したものである。この周波数設定では、50、60、66.6 M H z 等一般的な C P U に必要な周波数を設定しているが更に周波数選択端子 S0 を " H " から " L " にする事でそれぞれの周波数に対して 10 % 高い周波数を設定している。たとえば、周波数選択端子 S0、S1、S2、S3 がそれぞれ " H "、" H "、" H "、" H " のときの 50 M H z に対しては、" L "、" H "、" H "、" H " のときの 55 M H z が設定されている。又、" H "、" L "、" H "、" H " のときの 60 M H z に対しては、" L "、" L "、" H "、" H " のとき 66 M H z

が設定されている。この実施例の具体的な使用例としては、コンピュータ製造後の検査の動作タイミングテストとして C P U のクロックに通常の動作周波数より約 10 % 程度高い周波数を入力して正常に動作するかどうかをチェックする場合に本実施例の P L L 発振器は有効である。たとえば通常 50 M H z で動作する C P U では、S1、S2、S3 端子をすべて " H " にしておき、テスト時に S0 端子を " L " にして 55 M H z を出力させて動作チェックして、その後 S0 端子を " H " にして 50 M H z を出力する様にしておく。従来 C の様なテストをする時は、基板に実装されている発振器の動作を一旦停止させてボードテスター等外部装置から 10 % 程度高い周波数のクロックを供給していたが、本実施例の P L L 発振器であれば、周波数選択端子の S0 端子を " H " から " L " にするだけでテストができる。この事は、今後 C P U の周波数が高くなった時に、高周波クロックを外部の装置より長い配線やコンタクトプローブを経由して供給するとクロック波形の歪みが生じて正常なテストができなくなり問題になる。しかし、本実施例の P L L 発振器を使用すれば、通常動作時と同じ発振器より通常時に近いクロック波形を供給してテストするので簡単に正確なテストが可能になる。

【0074】(実施例 5) 図 8 は、請求項 7、8 記載の発明に係わる P L L 発振器の周波数テーブルの選択方法の一実施例である。

【0075】外部から出力周波数を選択する端子 S0 端子 41、S1 端子 42、S2 端子 43、S3 端子 44 は、デコーダ 45 に接続されている。各周波数選択端子は、プルアップ抵抗 46 により V D D (電源電圧電位) に接続され、I C 上に形成されたヒューズ 47 により G N D (グラウンド電位) に接続されている。

【0076】周波数選択端子は、プルアップ抵抗により V D D に接続されているが、ヒューズにより G N D に短接されているため、デコーダには " L " レベルが入力される。

【0077】しかし、外部選択端子及び G N D 間電圧を印加する事によりヒューズに電流を流し溶断させる。この時には外部選択端子は、プルアップ抵抗により V D D に接続されているだけであるため、デコーダには " H " レベルが入力できる。このようにヒューズを切断することによりデコーダ回路へ " H " または " L " レベルの信号を入力することができる。

【0078】ヒューズの切断は、電圧を印加する以外にもヒューズ部分にレーザーを照射して切断を行う場合もあるが、電圧を印加して切断をする場合には P L L I C や水晶発振子を実装後、切断をすることができ、ユーザーへの出荷直前にヒューズを切断することもできる。また単に電圧を印加するだけでなく、発振器の製造工場段階ばかりではなく、発振器の販売の段階で行うこともできる。

17

【0079】ヒューズは1C上に形成できるだけでなく、リードフレームをヒューズとして利用したりすることもできる。

【0080】また本実施例では、デコーダ回路へ“L”レベルの信号を入力するために、ヒューズをプルダウン用に使ったが、プルアップでも同じである。

【0081】上述のような構成によれば、出力周波数の選択をするヒューズを、容易に切断でき、発振器の実装後も出力周波数を設定できるので、短い納期でユーザーに出すことができ、特に少量のサンプル提示の時には、販売店等での設定さえ可能になり、即時にユーザーに出すこともできる。

【0082】（実施例6）図9は、請求項9記載の発明に係わるPLL発振器の周波数を決定するプログラマブルデバイス（分周数デコーダ）の書き込み方法の実施例である。

【0083】3つのプログラマブルデバイス（リファレンスデバイス、フィードバックデバイス、アウトプットデバイス）の分周数をメモリに記憶されている。メモリは、プログラマブルリードオンリーメモリ（以下PROMと記す）51であり、ヒューズ52で構成したPROM51について説明をする。PROM51はヒューズ52の状態に応じて、分周数を出力する。ヒューズ52は、データ入力端子53と電圧印加端子54により切断される。

【0084】所定の周波数を出力するように、ヒューズ52を切断してプログラマブルデバイスの分周数を固定する。切断をするヒューズのデータは、データ入力端子53からシリアル転送する。データ転送後、電圧印加端子54に電圧を印加してヒューズ52を切断する。切断をしていないヒューズは“L”レベルを出し、切断をしたヒューズは“H”レベルを出力する。プログラマブルデバイスでは、このバイナリデータにより、分周数が決められる。

【0085】また別のヒューズの切断方法としては、PLL ICチップ上のヒューズ部分にレーザーを照射してヒューズの切断を行うこともできる。

【0086】PROMは、ヒューズタイプ以外にも、一般的な電気消去タイプや紫外線消去タイプ等でも良い。

【0087】上述のような構成によれば、出力周波数の設定データをPROMに書き込んでから出荷しているのだから、ユーザーでは一般的な水晶発振器として扱うことができる。

【0088】（実施例7）図10は、請求項10記載の発明に係わるPLL発振器の周波数を決定する分周数デコーダの書き込み方法で、特に水晶振動子を実装後、分周データ書き込みを行う場合の実施例を説明する。

【0089】PLL IC及び水晶振動子を内蔵した樹脂モールドパッケージ61より内部のPLL ICにワイヤボンディングで接続されたリード端子62が出てい

18

る。またリード端子62と別内部のPLL ICにワイヤボンディングで接続されたデータ入力端子63及び電圧印加端子64がある。

【0090】切断するヒューズを選択するためのデータを入力するデータ入力端子63にデータを転送し、電圧印加端子64に電圧を印加してヒューズを切断する。ヒューズ切断後データ入力端子63及び電圧印加端子64はヒューズ切断後、切断する。

【0091】従来の水晶発振器では、ユーザーから注文が入ると、その時点からPLL ICのダイアタッチ、ワイヤボンディング、水晶振動子の実装、樹脂モールドパッケージ、リード端子のメッキ、プレスを行い出荷していた。さらに水晶振動子がなければ、水晶振動子から製造をしなければならない場合もあった。しかし、本PLL IC発振器では、予めPLL ICや水晶振動子の実装をし、樹脂モールドパッケージ、リード端子のメッキ、プレスまでをしておく。そしてユーザーからの注文が入った時点で、ヒューズの切断をして出荷する。またヒューズの代わりに、PROMを使い、このPROMにデータを書き込んで、プログラマブルデバイスの分周数を固定して、所定の周波数を出力することもできる。

【0092】上述のような構成によれば、予め製造しておいたPLL ICの出力周波数を出荷前に設定できるようにしているため、短納期でユーザーへの出荷をすることができると。

【0093】（実施例8）図11は、請求項11記載の発明に係わるPLL発振器の周波数を決定する分周数デコーダの書き込み方法で、特に、2つ以上の出力周波数を設定可能な周波数テーブルを有する場合の実施例である。

【0094】PROM71は、デコーダ72により、指定されたアドレスのデータをプログラマブルデバイスに出力する。

【0095】3つのプログラマブルデバイス（リファレンスデバイス、フィードバックデバイス、アウトプットデバイス）の分周数をPROM71のデータにより制御する。PROM71には予めプログラマブルデバイスの分周数は記憶されていないため、希望周波数に合わせてプログラマブルデバイスの分周数を、データ入力端子73より入力して記憶させる。PROMとしては、一般的な電気消去タイプや紫外線消去タイプ、ヒューズタイプ等でも良いし、PLL ICのメタルマスクで行う方法もある。メタルマスクで行う方法以外は、PLL IC発振器の製造工程中でもできる。予めメモリにプログラマブルデバイスの分周数のデータが記憶されている、その中から出力周波数を選択する方法では、ユーザーからの特殊な周波数の注文に対しては、対応することができない場合もあったが、メモリにPROMを使うことにより、分周数のデータを記憶させることができる。

【0096】上述のような構成によれば、PLL IC発振器

の出力周波数や周波数のデータのデータを容易に設定できるようにしているため、ユーザーの特殊な周波数の要求にも応じることができる。

【0097】〔実施例9〕図5により、請求項16記載の発振器を説明する。

【0098】PLL IC 21上のアウトプットインネブル機能（以下OE機能と記す）を選択するパッド28と、スタンバイ機能（以下ST機能と記す）を選択するパッド29がリード端子30にワイヤーボンディングされている。

【0099】OE機能を選択するパッド28とST機能を選択するパッド29がPLL IC 21上で近傍に配置されているため、どちらか一方のパッドを一本のリード端子30にワイヤーボンディングできるだけでなく、両方のパッドを一本のリード端子30にワイヤーボンディングすることもでき、その場合新たにOE機能とスタンバイ機能を複合した機能（以下STZ機能と記す）を作り出すことができる。図12は、OE機能、ST機能、STZ機能を説明するための機能図である。

【0100】OE機能とは、水晶振動子の発振回路とPLL回路は動作させず、出力端子をハイインピーダンス状態にする機能であり、コンピューター等の製造時における動作テストで発振器のクロック出力を止めて外部からクロックを入れる場合に使う。

【0101】またスタンバイ機能とは、水晶振動子の発振回路とPLL回路を停止状態にし、消費電流を減少させ、出力端子を“L”又は“H”レベルに固定する機能で、コンピューター等電子機器の省エネルギー化に効果がある。

【0102】STZ機能は、上記2つの機能を複合し、水晶振動子の発振回路とPLL回路を停止状態にし消費電流を減少させながら、出力端子をハイインピーダンス状態にする機能である。これは、コンピューター等の製造時の動作テストにも通常の使用時に於ける省エネルギー化にも利用できる機能である。

【0103】〔実施例9〕請求項20記載の発振器を説明する。

【0104】前述したST機能、STZ機能に関し、PLL回路の基準信号として32 KHzのように発振開始時間が長い音叉型振動子を使用した場合、スタンバイ時に一旦水晶振動を停止させてしまうとスタンバイを解除したときに発振が開始するまでに数百μ秒から数秒の時間が掛かってしまう。そこで、早く発振を立ち上げるために、水晶振動子の発振回路だけは動作させておき、ST機能、STZ機能の解除後の発振開始時間を短縮させる。これにより、約数μ秒の発振開始時間が可能である。尚、32 KHzのような低い周波数では発振回路を動作させておいても消費電流は数μA程度で済むため、ST、STZ機能の本来の狙いは、失われない。

【0105】〔実施例10〕図13は請求項23記載の

PLL回路のLPFを構成するコンデンサーとしてIC外部の部品を使用した実施例であり、一実施例としてチップコンデンサーを用いて水晶振動子及びPLL ICチップと共に1パッケージ化した場合の説明をする。

【0106】PLL ICチップ81がアイランド部82にマウントされており、PLL ICチップ81の各パッドとアイランド部82の周囲を取り囲む複数のリード端子をワイヤーボンディングにより接続している。水晶振動子83及びチップコンデンサー84もリード端子85に接続しており以上を樹脂モールド材等によりモールド成形している。

【0107】PLL回路のLPFの容量は、一般的に少なくとも数百pF以上の容量が必要で、IC上に作ると面積的にコンデンサーが占める割合が大きくなり、したがってICの価格が高くなってしまふ。そこでLPFの容量を安価なチップコンデンサーにしてPLL ICと水晶振動子と共に同一パッケージにモールド成形する事により、製造コストを下げられる。

【0108】又、PLL回路では、出力周波数のゆらぎやジッター等を抑えるため、基準信号の周波数に応じて、最適なLPFの定数を設定する必要があるが、容量をチップコンデンサーにすることで、LPFの定数の変更を容易にできる。

【0109】本実施例ではLPFの容量をチップコンデンサーに置き換えたが、LPFの抵抗やインダクタ等の他の素子をチップ部品として置き換えても良い。

【0110】上述のような構成によれば、LPFの構成素子をIC外部の安価で定数の変更が容易な部品に置き換えているので、ICを安価にできる上、最適なLPFの定数の設定が容易にできるPLL発振器を実現できる。

【0111】〔実施例11〕図14(a)、(b)は請求項26記載のPLL発振器をセラミックパッケージで実装した場合の実施例である。図14(a)はパッケージを上から見た図であり、図14(b)はパッケージを横から見た図である。

【0112】セラミック基板91上にPLL IC 92及び水晶振動片93がマウントされている。さらにLPFは、抵抗94、95と、コンデンサ96で構成されている。抵抗94、95は印刷抵抗で、コンデンサ96は、セラミック基板91上に誘電体98を電極99ではさみ形成されている。

【0113】本実施例でのLPFは、PLL回路のLPFとしては最も一般的なラグリードフィルタであるが、ラグフィルタやアクティブフィルタ等でも良い。また、図15(a)、(b)に示すようにコンデンサは、誘電体100をパッケージのセラミックと兼ねてセラミック基板内の一體的に形成できる。又、コンデンサの片側電極をICのステージ101と兼ねる事によりパッケージの小型化が可能で、更に、多層セラミック基板を使え

ば、コンデンサを内層に積層化して形成できるのでより小型化できる。

【0114】上述のような構成によれば、LPFの抵抗及びコンデンサをセラミック基板内に形成しているのて、PLLICが小型化できICを安価にできる上にパッケージを小型化したPLL発振器を実現できる。

【0115】【実施例12】図14(a)、(b)により、請求項15記載のPLL発振器の製造方法を説明する。

【0116】PLL発振器は、PLLIC92をマウン
トし、ワイヤーボンディングをし、出力周波数を決定した
後で、水晶振動片93をマウントし、カバー97をして
封止している。

【0117】PLLIC92は既にワイヤーボン
ディングされているが、水晶振動片93をマウントして電
源を供給すれば動作する状態にある。そこで、水晶振
動片93をマウントした後、PLL発振器を動作させて、
出力周波数を測定しながら水晶振動片を周波数調整
し、その後カバーをする。こうすれば、PLLICと水
晶振動片を組み合わせて実際に発振させて、目的の周
波数からずれている分周波数調整を行っているため、周
波数ズレのない高精度なPLL発振器ができる。水晶振
動片の周波数調整方法としては、電極へ金属蒸着する
方法、電極をレーザー等により削る方法等がある。

【0118】実施例では、セラミックパッケージのPL
L発振器について説明したが、水晶振動片を封止しな
いで裸の状態で実装をするパッケージングであればメ
タルキャンタイプやプラスチックパッケージでも良い。

【0119】また、上述のような構成を、実施例2で説
明した構成のPLLICと水晶振動片とを併用すれば、
発振器の封止直前の水晶周波数調整工程で出力周波数
を決定する事ができるため製造リードタイムの短縮が可
能である。

【0120】【実施例13】図16は請求項29記載の
周波数調整可能な高精度PLL発振器の実施例である。
PLL回路の基準信号となる水晶振動子111に
は、基本波発振のAT振動子を用いインバータ112
と帰還抵抗113とドレイン抵抗114及びゲート容量
116、ドレイン容量115により発振回路を構成して
いる。ゲート容量116は周波数の合わせ込みを行うた
め、容量の可変ができる構成としている。

【0121】一例として出力周波数が50MHzのPL
L発振器を考えた場合、図4より25MHzの水品振動
子と2倍倍の2を組み合わせたことにより出力でき
るが、実際は1Cの発振回路定数のばらつきや水晶振動
子の周波数のばらつきにより、50MHzに対して周波
数のズレが生じる。この周波数ズレをなくするためゲ
ート容量を変化させて周波数の合わせ込みを行う。出力周波
数が50MHzより高い場合は、ゲート容量を大きくす
ることで周波数を低くして50MHzに合わせ込み、出力

周波数が50MHzより低い場合にはゲート容量を小
さくすることで周波数を高くして50MHzに合わせ
込み、高精度な出力周波数を得る事ができる。出力周波
数を50MHzに合わせ込むわけではあるが、実際は、2
倍倍のPLL発振器の場合、PLLの基準信号の25M
Hzの合わせ込みをしてPLL回路で2倍にして出力し
ている訳である。

【0122】ここで、水晶振動子の基本波発振では、発
振部の容量を変化させた場合の周波数の変化量は、オー
バートン発振に比べて大きい。小さな容量の変化で周波
数の合わせ込みができる。これは、同じ容量で周波数の
合わせ込みを行う場合には、基本波発振の方が大きな
周波数のズレ量に対してても合わせ込みができる事にな
る。理論的には、同じ容量で周波数調整した場合、基本
波発振は3次オーバートン発振より9倍の周波数変化が
得られる。さらにオーバートン発振より10倍の周波数
変化が得られる。さらにオーバートン発振より10倍の
周波数変化が得られる。さらにオーバートン発振より10
倍の周波数変化が得られる。さらにオーバートン発振
より10倍の周波数変化が得られる。さらにオーバート
ン発振より10倍の周波数変化が得られる。さらにオーバ
ートン発振より10倍の周波数変化が得られる。さらに
オーバートン発振より10倍の周波数変化が得られる。
【0123】可変容量としては、トリマコンデンサー
や可変容量ダイオードやICに内蔵できる容量アレイ等
を用いる事ができる。

【0124】【実施例14】図17を用いて請求項32
記載の周波数合わせ込みのための容量に、1C上の容量
アレイを用いる方法について説明をする。

【0125】容量アレイは、容量の異なるまたは同じコ
ンデンサー117が1つ以上あり、それぞれがトランジ
スタ118のオンまたはオフにより選択できる構成を
言う。PLL回路の基準信号の周波数を合わせ込むた
めのデータを、データ入力端子120からメモリ119へ
書き込む。メモリ119のデータに応じて、容量アレイ
の中からトランジスタ118により最適な容量のコン
デンサー117を選択をする。この場合、複数のコンデ
ンサーを組み合わせてより正確に合わせ込むこともでき
る。

【0126】この様な、1C上の容量アレイを用いてオー
バートン発振の水晶発振器で周波数の合わせ込みを行
う場合は、前述したようにオーバートン発振では大
きな容量を必要とするため、1Cの面積が大きくなり
1Cのコストが高くなってしまふ。そこで周波数の合
わせ込みを少ない容量で行なう基本波発振を用いて周波
数の合わせ込みを行い、PLL回路でオーバートン発振
の周波数を出力させれば、オーバートン発振の周波
数を出力する発振器であっても、小さな容量のコンデ
ンサーだけで可能である。

【0127】上述のような構成によれば、オーバート
ン発振に比べて線量の大きな基本波発振をPLLの基

準信号にしているため、安価なICチップで安定した発振で容易にオーバートーン帯の高精度発振器が実現できる。

【0128】【実施例15】図18を用いて、請求項3記載のPLL回路の基準信号の周波数の合わせ込みの可変容量として、可変容量ダイオードを用いた場合について説明する。

【0129】可変容量ダイオード121は印加電圧により容量値が変化するダイオードである。そのためこの可変容量ダイオードの印加電圧を変化させると発振段の容量が変化し、結果的に発振周波数を制御することができる。これは電圧制御水素発振器（以下VCXOと記す）と同じ構成であるが、本実施例の特徴は、基本波発振の発振周波数を電圧制御して、その発振信号をPLLの基準信号として周波数を送信している。このため同じオーバートーン帯の周波数を出力する場合、オーバートーン発振させてそれを直接出力しているVCXOよりも基本波発振の信号をPLLで送信しているVCXOの方が、発振段の容量を同量変化させた場合には、可変できる周波数の範囲を広くすることができる。

【0130】上述のような構成によれば、PLL回路の基準信号に周波数変調をかけ、PLL回路で周波数を選別しているため、オーバートーン帯の周波数を出力するVCXOが実現できる。

【0131】【実施例16】図19は、請求項36記載の水素発振回路の負荷容量を温度検出回路123と制御回路122により制御し、温度に対して安定した周波数を出力するPLL発振器についての説明図である。

【0132】温度検出回路により周囲の温度の検出を行い、制御回路に温度データを転送する。制御回路は、温度検出回路から得られた温度のデータに基づいて可変容量ダイオードへの印加電圧を制御して、温度の変化による周波数の変化を抑える。

【0133】水晶振動子の周波数は固有の温度特性を持っているため、温度による周波数の変化を補正することにより、周囲の温度により水晶振動回路の負荷容量を制御して、温度の変化に係わらず安定した周波数を出力する。

【0134】上述のような構成によれば、温度による出力周波数の変化を抑えることができるため、温度変化の激しい屋外で使用される通信機にも、安定した周波数を供給できる。

【0135】

【発明の効果】請求項1、2、3、4、5、6、7、8、9、10、11、12、13、14記載の発明によれば水晶振動子の発振信号をPLLの基準信号として用いPLLで新たに信号を作り出しているため従来なら出力周波数毎必要であった水晶振動子を安価な周波数帯の水素振動子だけを使用できるという効果を有する。

【0136】さらにオーバートーン発振が必要な高い周

波数の要求に対しても、水晶振動子の発振には安定した基本波発振を用いることができるだけでなく、オーバートーン発振でも対応が難しい80MHzを超えるような高い周波数に対しても、基本波発振を用いて対応できるという効果を有する。

【0137】また、PLL発振器は、水晶発振を基本波周波数帯出力振させるためオーバートーン周波数帯出力振させるオーバートーン発振器より低消費電流化ができる。

【0138】さらにPLLICはコンピュータ等で必要な周波数を網羅した周波数テーブルを有しているためICのマスク等の変更をしないで1種類のPLLICだけで対応できるという効果を有する。

【0139】さらに出力周波数はワイヤボンディング、ヒューズ、PROM等で行いそこで設定するデータを変えるだけで行うためそれ以外の製造は同一工程で行われるため量産効果も有する。

【0140】さらに出力周波数を設定するデータを書き込むまでは同一の発振器として扱えるため今までのように周波数毎に何種類もの在庫を持つ必要もなく1種類の在庫で対応をすれば良いという効果を有する。

【0141】さらに予め製造に必要な水晶振動子が限られているためユーザーからの注文の前に用意したり、発振器として製造して出力周波数のデータを書き込むだけの状態にしておくことによりリードタイムも大幅に短縮できるという効果を有する。

【0142】請求項16、17、18、19、20、21、22記載の発明によれば、同時にOE機能とST機能を選択することにより、新たにST機能の選択もできるという効果を有する。

【0143】またST機能とSTZ機能選択時でも、発振開始時間が短い水晶振動子を使う場合には、水晶振動子の発振を止めないで用いることにより、発振開始時間を短縮できるという効果を有する。

【0144】請求項23、24、25記載の発明によればLPFを構成する素子をチップ部品に置き換えることにより出力周波数に応じてLPFの定数の変更が容易にできるため動作状態に合わせたPLLの設定ができるという効果を有する。

【0145】さらに水晶振動子とPLLICと共にLPFのチップ部品を1パッケージ化したことにより、ユーザーで外付け部品を実装する必要もなく使い勝手が良いという効果を有する。

【0146】請求項26、27、28記載の発明によればLPFを構成する素子を、セラミックパッケージ内に形成してしまうため、PLLIC上に作り込む必要がないという効果を有する。

【0147】請求項15記載の発明によれば実際に使われる水晶振動子とPLLICを組み合わせ、発振させて周波数を測定しながら、周波数調整をしている。そのた

め、PLLICの発振段の負荷容量にばらつきがあっても、周波数ズレのないPLL発振器が実現できる。

{0148} 請求項29、30、31、32、33、34記載の発明によれば基本波発振の水晶振動子を用いているため発振段の負荷容量を変えての周波数の合わせ込みが容易に行えるため高精度な発振器ができ、かつPLLを利用して出力周波数にはオーバートーン帯の周波数を出力させればオーバートーン帯の高精度発振器もできるという効果を有する。

{0149} 請求項35記載の発明によれば発振段の負荷容量を外部からの電圧制御により可変することでVCCXOを構成することができ、PLLを利用して出力周波数にはオーバートーン帯の周波数を出力させればオーバートーン帯のVCCXOもできるという効果を有する。

{0150} 請求項36記載の発明によれば発振段の負荷容量を温度により可変することで温度の変化に係わらず安定した周波数を出力できるという効果を有する。

【図面の簡単な説明】

【図1】本発明のPLL発振器の一実施例を示すPLL回路ブロック図。

【図2】本発明のPLL発振器の一実施例を示す出力周波数テーブル図。

【図3】本発明のPLL発振器の一実施例を示す出力周波数テーブル図。

【図4】本発明のPLL発振器の一実施例を示す出力周波数テーブル図。

【図5】本発明のPLL発振器の一実施例を示す構造図。

【図6】[a] 本発明のPLL発振器の一実施例を示す構造図。

[b] 本発明のPLL発振器の一実施例を示す構造図。

【図7】本発明のPLL発振器の一実施例を示す出力周波数テーブル図。

【図8】本発明のPLL発振器の一実施例を示す機能ブロック図。

【図9】本発明のPLL発振器の一実施例を示す機能ブロック図。

【図10】本発明のPLL発振器の一実施例を示す構造図。

【図11】本発明のPLL発振器の一実施例を示す機能ブロック図。

【図12】本発明のPLL発振器の一実施例を示す機能一実施図。

【図13】本発明のPLL発振器の一実施例を示す構造図。

【図14】[a] 本発明のPLL発振器の一実施例を示す構造図。

[b] 本発明のPLL発振器の一実施例を示す構造図。

【図15】[a] 本発明のPLL発振器の一実施例を示す構造図。

[b] 本発明のPLL発振器の一実施例を示す構造図。

【図16】本発明のPLL発振器の一実施例を示す発振回路図。

【図17】本発明のPLL発振器の一実施例を示す発振回路図。

【図18】本発明のPLL発振器の一実施例を示す発振回路図。

【図19】本発明のPLL発振器の一実施例を示す発振回路図。

【図20】従来の技術を示すブロック図。

【図21】従来の技術を示すブロック図。

【図22】従来の技術を示す機能ブロック図。

【図23】水晶発振回路の負性抵抗を示す特性図。

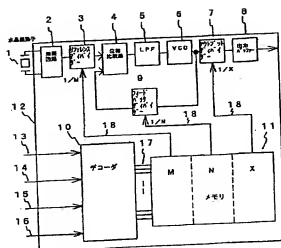
【符号の説明】

- 1 水晶振動子
- 2 発振回路
- 3 リファレンスデバイダー
- 4 位相比較器
- 5 ローパスフィルタ
- 6 電圧制御発振器
- 7 アウトプットデバイダー
- 8 出力バッファ
- 9 フィードバックデバイダー
- 10 デコーダー
- 11 メモリ
- 12 PLLIC
- 13 S0端子
- 14 S1端子
- 15 S2端子
- 16 S3端子
- 21 PLLICチップ
- 22 アイランド部
- 23、24、25、26 パッド
- 27 放熱フィン
- 28 OE機能を選択するパッド
- 29 ST機能を選択するパッド
- 30 リード端子
- 31 バッケージ
- 32 S0端子
- 33 S1端子
- 34 S2端子
- 35 S3端子
- 36 水晶振動子
- 37 PLLICチップ
- 41 S0端子
- 42 S1端子
- 43 S2端子

- 27
- 44 S3端子
 - 45 デコーダ
 - 46 ブルアップ抵抗
 - 47 ヒューズ
 - 51 PROM
 - 52 ヒューズ
 - 53 データ入力端子
 - 54 電圧印加端子
 - 61 樹脂モールドパッケージ
 - 62 リード端子
 - 63 データ入力端子
 - 64 電圧印加端子
 - 71 PROM
 - 72 デコーダ
 - 73 データ入力端子
 - 81 PLLICチップ
 - 82 アイランド部
 - 83 水晶振動子
 - 84 チップコンデンサ
 - 85 リード端子
 - 91 セラミック基板
 - 92 PLLIC
 - 93 水晶振動片
 - 94、95 抵抗
 - 96 コンデンサ

- * 97 カバー
- 98 誘電体
- 99 電極
- 100 誘電体
- 101 ステージ
- 111 水晶振動子
- 112 インバータ
- 113 帰還抵抗
- 114 ドレイン抵抗
- 115 ドレイン容量
- 116 ゲート容量
- 117 コンデンサ
- 118 トランジスタ
- 119 メモリ
- 120 データ入力端子
- 121 可変容量ダイオード
- 122 制御回路
- 123 温度検出回路
- 201 コンピュータの基板
- 202 圧電振動子
- 203 水晶共振器
- 204 CPUユニット
- 205 HDDユニット
- 206 コミュニケーションユニット
- * 210 カバー

【図1】



【図2】

測定条件				分周器設定		出力周波数	測定出力周波数
S3	S2	S1	S0	M	N	X	(MHz)
H	H	H	H	1	3682	2	80.000 59.998
H	H	H	L	1	4089	2	68.887 68.886
H	H	L	H	1	1800	32	1.8432 1.8432
H	H	L	L	1	1746	4	14.318 14.320
H	L	H	H	1	2442	4	20.000 20.005
H	L	H	L	1	1528	2	25.000 25.002
H	L	L	H	1	1953	4	16.000 15.998
H	L	L	L	1	2700	4	22.118 22.118
L	H	H	H	1	2441	2	40.000 39.993
L	H	H	L	1	3052	2	50.000 50.004
L	H	L	H	1	2930	4	24.000 24.003
L	H	L	L	1	1953	2	32.000 31.998
L	L	H	H	1	4883	2	80.000 80.003
L	L	H	L	1	8104	2	100.00 100.01
L	L	L	H	1	2034	2	33.333 33.325
L	L	L	L	1	2920	2	48.000 48.005

本装置の測定条件: f = 32.768 MHz

【図3】

周波数範囲の端子						分周器設定	出力周波数
S3	S2	S1	S0	M	N	X	(MHz)
H	H	H	H	5	8	2	16.000
H	H	H	L	4	8	2	20.000
H	H	L	H	2	8	2	40.000
H	H	L	L	1	8	2	80.000
H	L	H	H	5	18	2	32.000
H	L	H	L	4	10	2	25.000
H	L	L	H	2	10	2	50.000
H	L	L	L	1	10	2	100.00
L	H	H	H	1	9	2	90.000
L	H	H	L	4	12	2	30.000
L	H	L	H	2	12	2	60.000
L	H	L	L	1	12	2	120.00
L	L	H	H	3	40	2	133.33
L	L	H	L	3	10	2	33.333
L	L	L	H	3	20	2	66.667
L	L	L	L	2	15	2	75.000

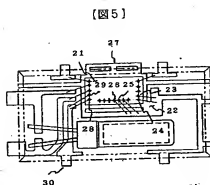
水晶振動周波数: $f_0=20\text{MHz}$

【図4】

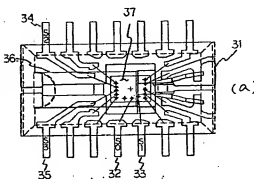
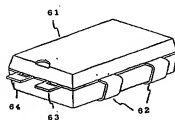
周波数範囲の端子						分周器設定	出力周波数	出力周波数
S3	S2	S1	S0	M	N	X	周波数	(MHz)
H	H	H	H	4	12	2	1.5	24~28
H	H	H	L	4	13	2	1.625	24~25.85
H	H	L	H	4	14	2	1.75	24~25.71
H	H	L	L	4	15	2	1.875	24~25.6
H	L	H	H	2	8	2	2	24~27
H	L	H	L	2	9	2	2.25	24~26.87
H	L	L	H	2	10	2	2.5	24~26.4
H	L	L	L	2	11	2	2.75	24~26.18
L	H	H	H	2	12	2	3	24~28
L	H	H	L	2	13	2	3.25	24~25.85
L	H	L	H	2	14	2	3.5	24~25.71
L	H	L	L	2	15	2	3.75	24~25.6
L	L	H	H	1	8	2	4	24~27
L	L	H	L	1	9	2	4.5	24~26.87
L	L	L	H	1	10	2	5.0	24~26.4
L	L	L	L	1	11	2	5.5	24~25.48

【図6】

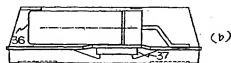
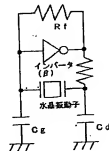
【図21】



【図10】



(a)



(b)

【図12】

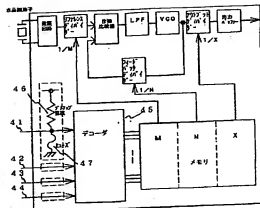
機能	水晶共振器	PLL回路	出力
OSC動作	発振	動作	ハイインピーダンス
ST動作	発振または停止	停止	"Low"レベル
ET動作	発振または停止	停止	ハイインピーダンス

〔図7〕

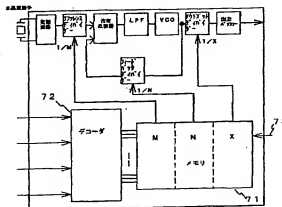
第10実施例の構成							出力周波数	
S0	S1	S2	S0	M	N	X	(MHz)	
H	H	H	H	2	10	2	50.000	
H	H	H	L	10	55	2	55.000	
H	H	L	H	2	19	2	60.000	
H	H	L	L	10	86	2	86.000	
H	L	H	H	3	20	2	88.887	
H	L	H	L	10	73	2	78.000	
H	L	L	H	2	15	2	75.000	
H	L	L	L	10	83	2	83.000	
L	H	H	H	2	18	2	80.000	
L	H	H	L	10	88	2	88.000	
L	H	L	H	1	8	2	80.000	
L	H	L	L	10	99	2	99.000	
L	L	H	H	1	10	2	100.00	
L	L	H	L	10	110	2	110.00	
L	L	L	H	1	25	2	125.00	
L	L	L	L	10	138	2	138.00	

*出力周波数: $f_c = 20\text{MHz}$

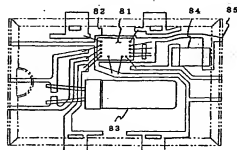
〔図8〕



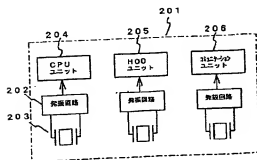
〔図11〕



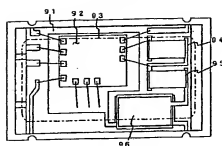
〔図13〕



〔図20〕

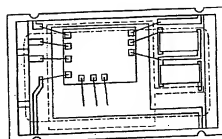


【図14】

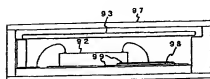


[a]

【図15】



[a]

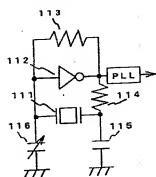


[b]

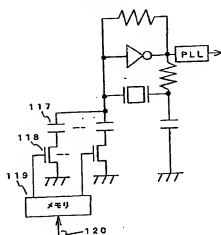


[b]

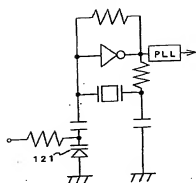
【図16】



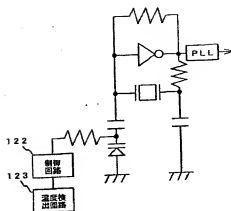
【図17】



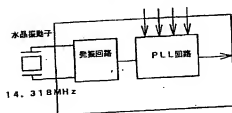
【図18】



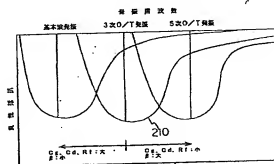
【図19】



【図22】



【図23】



フロントページの続き

(51)Int. Cl.⁴
H03B 5/32識別記号 序内整理番号
D

F I

技術表示箇所

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 3 区分
 【発行日】平成 13 年 6 月 29 日 (2001. 6. 29)

【公開番号】特開平 8 - 8 7 4 0
 【公開日】平成 8 年 1 月 12 日 (1996. 1. 12)
 【年連号数】公開特許公報 8 - 8 8
 【出願番号】特願平 7 - 9 4 0 2 2
 【国際特許分類第 7 版】

H03L 7/18
 G06F 1/04
 1/08
 H03B 5/32

【F 1】

H03L 7/18 Z
 G06F 1/04 A
 H03B 5/32 D
 G06F 1/04 320 A

【手続補正書】

【提出日】平成 12 年 5 月 15 日 (2000. 5. 15)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正内容】

【発明の名称】 PLL 発振器および PLL 発振器の製造方法

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項 1】圧電振動子と、前記圧電振動子を共振させる共振回路と、前記共振回路の共振信号を基準信号として動作する PLL (Phase Locked Loop) 回路とが同一パッケージに封入されており、さらに、前記圧電振動子の共振周波数と前記 PLL 回路のプログラマブルデバイダーの分周数とによって周波数が決定される PLL 発振器において、前記 PLL 回路のプログラマブルデバイダーの分周数を選択して、所定の周波数を出力させる手段を備えた事を特徴とする PLL 発振器。
 【請求項 2】圧電振動子と、前記圧電振動子を共振させる共振回路と、前記共振回路の共振信号を基準信号として動作する PLL 回路とが、同一パッケージに封入されており、さらに、前記圧電振動子の共振周波数と前記 PLL 回路のプログラマブルデバイダーの分周数とによ

て周波数が決定される PLL 発振器において、前記 PLL 回路のプログラマブルデバイダーの分周数を選択して、且つ前記圧電振動子の共振周波数を選択して、任意の周波数を出力させる手段を備えた事を特徴とする PLL 発振器。

【請求項 3】請求項 1 または 2 において、前記 PLL 回路のプログラマブルデバイダーの分周数を選択する端子が前記 PLL 回路の IC 上に周波数選択パッドとして備えられていて、前記周波数選択パッドがワイヤーボンディングにより前記パッケージ内の電源またはグラウンドレベルの導電体に選択的に接続し、PLL 回路の出力周波数を設定する手段を備えた事を特徴とする PLL 発振器。

【請求項 4】請求項 3 において、前記周波数選択パッドと接続される前記パッケージ内部の導体を選択的に切断して、PLL 回路の出力周波数を設定する手段を備えた事を特徴とする PLL 発振器。

【請求項 5】請求項 1 または 2 において、前記 PLL 回路のプログラマブルデバイダーの分周数を選択する端子が前記 PLL 回路の IC 上に周波数選択パッドとして備えられていて、前記周波数選択パッドがワイヤーボンディングにより前記パッケージ外部に導出されているリード端子と接続されている事を特徴とする PLL 発振器。

【請求項 6】請求項 5 において、1 つの周波数選択パッドの制御によって得られる 2 つの出力周波数において、高い前記出力周波数を低い前記出力周波数で除した値が 1.01 から 1.15 の範囲にある事を特徴とする PLL 発振器。

【請求項 7】請求項 1 または 2 において、前記 PLL 回路のプログラマブルデバイダーの分周数を選択する周波

数選択端子と、前記周波数選択端子の状態を決定するデーターを記憶するプログラマブルリードオンリーメモリを備えている事を特徴とする P L L 発振器。

【請求項 8】請求項 7 において、前記周波数選択端子がパッケージの外部に導出されていて、前記 P L L 回路の I C と前記圧電振動子を同一パッケージに封入後、前記周波数選択端子を通じて前記プログラマブルリードオンリーメモリに前記周波数選択端子の状態を決定するデーターを書き込む手段を備えた事を特徴とする P L L 発振器。

【請求項 9】圧電振動子と、前記圧電振動子を発振させる発振回路と、前記発振回路の発振信号を基準信号として動作する P L L 回路と、前記 P L L 回路のプログラマブルデバイダの分周数を選択する周波数選択端子と、前記周波数選択端子の状態を決定するデーターを記憶するプログラマブルリードオンリーメモリと、前記データーを書き込む手段とがパッケージに封入され、前記周波数選択端子が前記パッケージの外部に導出された P L L 発振器を用いて、

前記プログラマブルリードオンリーメモリに前記データーを書き込んだ後、前記周波数選択端子を切断する事を特徴とする P L L 発振器の製造方法。

【請求項 10】請求項 1 または 2 において、前記 P L L 回路のプログラマブルデバイダの分周数を記憶するプログラマブルリードオンリーメモリと、前記プログラマブルリードオンリーメモリに分周数を書き込む手段を備えた事を特徴とする P L L 発振器。

【請求項 11】請求項 10 において、前記 P L L 回路の I C と前記圧電振動子を同一パッケージに封入後、前記プログラマブルリードオンリーメモリに前記分周数を書き込む手段を備えた事を特徴とする P L L 発振器。

【請求項 12】圧電振動子と、前記圧電振動子を発振させる発振回路と、前記発振回路の発振信号を基準信号として動作する P L L 回路と、前記 P L L 回路のプログラマブルデバイダの分周数を記憶するプログラマブルリードオンリーメモリと、前記プログラマブルリードオンリーメモリに前記分周数を書き込む手段とがパッケージに封入され、前記分周数を書き込むための書き込み端子が前記パッケージの外部に導出された P L L 発振器を用いて、

前記書き込み端子により前記プログラマブルリードオンリーメモリに前記分周数を書き込んだ後、前記書き込み端子を切断することを特徴とする P L L 発振器の製造方法。

【請求項 13】請求項 7 または 10 において、プログラマブルリードオンリーメモリは、ヒューズロムである事を特徴とする P L L 発振器。

【請求項 14】請求項 1 または 2 において、前記圧電振動子は、コンパックス加工しない基本波水晶振動子である事を特徴とする P L L 発振器。

【請求項 15】圧電振動子と、前記圧電振動子を発振させる発振回路と、前記発振回路の発振信号を基準信号として動作する P L L 回路とをパッケージに実装後、前記圧電振動子の周波数の調整をして前記パッケージの封止をする事を特徴とする P L L 発振器の製造方法。

【請求項 16】圧電振動子と、前記圧電振動子を発振させる発振回路と、前記発振回路の信号を出力する出力回路とからなる圧電発振器において、前記発振回路の動作を停止させると同時に前記出力回路をハイインピーダンス状態にする手段を備えたことを特徴とする P L L 発振器。

【請求項 17】請求項 16 において、前記発振回路を停止させる制御パッドと前記出力回路をハイインピーダンス状態にさせる制御パッドを I C 上に備え、前記 2 つの制御パッドをパッケージ外部に導出される一本のリード端子にワイヤボンディングにより選択的に接続することを特徴とする P L L 発振器。

【請求項 18】請求項 16 において、前記圧電振動子と、前記発振回路と、前記発振回路の発振信号を基準信号として動作する P L L 回路とが同一パッケージに封入されており、さらに、前記圧電振動子の発振周波数と前記 P L L 回路のプログラマブルデバイダの分周数とによって周波数が決定され、前記 P L L 回路のプログラマブルデバイダの分周数を選択して、所定の周波数を出力させる手段を備えた事を特徴とする P L L 発振器。

【請求項 19】請求項 16 において、前記圧電振動子と、前記発振回路と、前記発振回路の発振信号を基準信号として動作する P L L 回路とが、同一パッケージに封入されており、さらに、前記圧電振動子の発振周波数と前記 P L L 回路のプログラマブルデバイダの分周数とによって周波数が決定され、前記 P L L 回路のプログラマブルデバイダの分周数を選択して、且つ前記圧電振動子の発振周波数を選択して、任意の周波数を出力させる手段を備えた事を特徴とする P L L 発振器。

【請求項 20】音叉型水晶振動子と、前記音叉型水晶振動子を発振させる発振回路と、前記発振回路の発振信号を出力する出力回路とからなる圧電発振器とが同一パッケージに封入されており、さらに、前記発振回路と前記出力回路の動作を停止させるスタンバイ機能を備えた圧電発振器において、前記スタンバイ機能を選択時に、前記音叉型水晶振動子の発振部のみ動作させることを特徴とする P L L 発振器。

【請求項 21】請求項 20 において、前記音叉型水晶振動子と、前記発振回路と、前記発振回路の発振信号を基準信号として動作する P L L 回路とが同一パッケージに封入されており、さらに、前記圧電振動子の発振周波数と前記 P L L 回路のプログラマブルデバイダの分周数とによって周波数が決定され、前記 P L L 回路のプログラマブルデバイダの分周数を選択して、所定の周波数を出力させる手段を備えた事を特徴とする P L L 発振器。

器。

【請求項 2】請求項 20 において、前記音叉型水晶振動子と、前記共振回路と、前記共振回路の共振信号を基準信号として動作する PLL 回路とが、同一パッケージに封入されており、さらに、前記圧電振動子の共振周波数と前記 PLL 回路のプログラマブルデバイダの分周数とによって周波数が決定され、前記 PLL 回路のプログラマブルデバイダの分周数を選択して、且つ前記圧電振動子の共振周波数を選択して、任意の周波数を出力させる手段を備えた事の特徴とする PLL 共振器。

【請求項 3】圧電振動子と、前記圧電振動子を共振させる共振回路と、前記共振回路の共振信号を基準信号として動作する PLL 回路とからなる PLL 共振器において、

前記 PLL 回路のローパスフィルタを構成する素子を前記 PLL 回路の IC 外部の部品で構成し、これらが前記圧電振動子と前記共振回路と前記 PLL 回路と共に同一パッケージに封入されていることを特徴とする PLL 共振器。

【請求項 4】請求項 23 において、前記圧電振動子の共振周波数と前記 PLL 回路のプログラマブルデバイダの分周数とによって周波数が決定され、前記 PLL 回路のプログラマブルデバイダの分周数を選択して、所定の周波数を出力させる手段を備えた事の特徴とする PLL 共振器。

【請求項 5】請求項 23 において、前記圧電振動子の共振周波数と前記 PLL 回路のプログラマブルデバイダの分周数とによって周波数が決定され、前記 PLL 回路のプログラマブルデバイダの分周数を選択して、且つ前記圧電振動子の共振周波数を選択して、任意の周波数を出力させる手段を備えた事の特徴とする PLL 共振器。

【請求項 6】請求項 23 において、前記パッケージは、セラミックパッケージであり、前記 PLL 回路のローパスフィルタの抵抗素子を前記セラミックパッケージ基板上に形成したことを特徴とする PLL 共振器。

【請求項 7】請求項 23 において、前記パッケージは、セラミックパッケージであり、前記 PLL 回路のローパスフィルタの容量素子を前記セラミックパッケージ基板上に形成したことを特徴とする PLL 共振器。

【請求項 8】請求項 27 において、前記容量素子の片側電極は、前記 PLL の IC を実装するステージであることを特徴とする PLL 共振器。

【請求項 9】圧電振動子と、前記圧電振動子を共振させる共振回路と、前記共振回路の共振信号を基準信号として動作する PLL 回路とが同一パッケージに封入されている PLL 共振器において、

前記共振回路に可変容量素子を有し、共振周波数を調整する手段を備えた事の特徴とする PLL 共振器。

【請求項 30】請求項 29 において、前記圧電振動子の

共振周波数と前記 PLL 回路のプログラマブルデバイダの分周数とによって周波数が決定され、前記 PLL 回路のプログラマブルデバイダの分周数を選択して、所定の周波数を出力させる手段を備えた事の特徴とする PLL 共振器。

【請求項 31】請求項 29 において、前記圧電振動子の共振周波数と前記 PLL 回路のプログラマブルデバイダの分周数とによって周波数が決定され、前記 PLL 回路のプログラマブルデバイダの分周数を選択して、且つ前記圧電振動子の共振周波数を選択して、任意の周波数を出力させる手段を備えた事の特徴とする PLL 共振器。

【請求項 32】請求項 29 において、前記可変容量素子は、容量アレイドであることを特徴とする PLL 共振器。

【請求項 33】請求項 32 において、前記容量アレイドの制御データを記憶するプログラマブルリードオンリーメモリと、前記パッケージ封入後に前記プログラマブルリードオンリーメモリにデータを書き込む手段を有することを特徴とする PLL 共振器。

【請求項 34】請求項 33 において、前記プログラマブルリードオンリーメモリは、ヒューズロムで、前記データを書き込み後書き込み端子を切断することを特徴とする PLL 共振器。

【請求項 35】請求項 29 において、前記容量素子は、可変容量ダイオードであることを特徴とする PLL 共振器。

【請求項 36】請求項 29 において、前記容量素子は、温度検出機能を有する制御回路により制御される事の特徴とする PLL 共振器。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】請求項 9 の発明は、圧電振動子と、前記圧電振動子を共振させる共振回路と、前記共振回路の共振信号を基準信号として動作する PLL 回路と、前記 PLL 回路のプログラマブルデバイダの分周数を選択する周波数選択端子と、前記周波数選択端子の状態を決定するデータを記憶するプログラマブルリードオンリーメモリと、前記データを書き込む手段とがパッケージに封入され、前記周波数選択端子が前記パッケージの外部に導出された PLL 共振器を用いて、前記プログラマブルリードオンリーメモリに前記データを書き込んだ後、前記周波数選択端子を切断する事を特徴とする。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

特開平 8-8740

【0018】請求項12記載の発明は、圧電振動子と、前記圧電振動子を共振させる共振回路と、前記共振回路の共振信号を基準信号として動作するPLL回路と、前記PLL回路のプログラマブルデバイダの分周数を記憶するプログラマブルリードオンリーメモリと、前記プログラマブルリードオンリーメモリに前記分周数を書き込む手段とがパッケージに封入され、前記分周数を書き込むための書き込み端子が前記パッケージの外部に導出されたPLL共振器を用いて、前記書き込み端子により前記プログラマブルリードオンリーメモリに前記分周数を書き込んだ後、前記書き込み端子を切断することを特徴

とする。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0021

【補正方法】変更

【補正内容】

【0021】請求項15記載の発明は、圧電振動子と、前記圧電振動子を共振させる共振回路と、前記共振回路の共振信号を基準信号として動作するPLL回路とをパッケージに実装後、前記圧電振動子の周波数の調整をして前記パッケージの封止をする事を特徴とする。